第 3 章

DDR2 SDRAM搭載ボードの実機検証トラブル・シューティング

―― DDR2特有の高い周波数，差動伝送，パッケージ形状などが測定に与える影響

畑山 仁

DDR2 SDRAMチップのパッケージはFBGA(fine pitch ball grid array)と規定されている．そのため，なんの対策も施さずにボードに実装すると，後で不ぐあいが発生しても測定器などのプローブをピンに当てることができない．また，DDR2-667やDDR2-800などの高速なものになると，クロック・ジッタの測定項目が12項目に増え，測定そのものが難しくなっている．ここでは，DDR2 SDRAMに焦点を当て，測定という観点からボード設計の際にどのような点に注意するべきかを解説する．（編集部）

近年，パソコンやサーバの市場で普及しているDDR(double data rate) 2 SDRAMが，ディジタル家電製品などにも使われるようになってきました．パソコンやサーバの場合，DDR2 SDRAMなどのメモリの制御には，事実上の業界標準とも言える米国Intel社や米国AMD(Advanced Micro Devices)社のCPUと，それにあわせて供給されるメモリ・コントローラ(チップセット)を使用します．加えてリファレンス・デザインも提供されているため，大きな問題が起こることはめったにありません．

一方，パソコンやサーバ以外の機器の場合，FPGAやASICでメモリ・コントローラを実現することになります．そのため，高速化に伴うトラブルが発生するケースが増えてきました．同時に，高速メモリを搭載したボードの測定(検証)について，筆者らのような測定器メーカに多くの相談が寄せられるようになってきました．

本稿で取り上げるDDR2 SDRAMを搭載したボードでは，信号のやりとりが高速になっている点をはじめ，数々の考慮すべき測定のポイントがあります(右掲のコラム「高速化に伴う問題を解決するための回路技術の推移」を参照)．ここではおもに，測定の観点から考慮するべき点について説明します．

1. DDR2 SDRAMで見るべき信号

DDR2 SDRAMの仕様は，SDR SDRAMやDDR SDRAMと同じく，電子部品に関する規格標準化団体JEDEC(Joint Electron Device Engineering Council)[注1]が策定しています．ピン配置を含む電気的特性に関する仕様の最新版(2006年7月20日時点)は2005年1月に発行された「JESD79-2B DDR2 SDRAM Specification」[注2]です．なお，一部の仕様については継続的に修正や追加が行われています．この追加にはクロックに関する仕様も含まれます．追加仕様は，現時点ではJEDECではなく，Intel社から公開されています[注3]．

● クロック，ストローブともに差動化された

DDR2 SDRAMは，データ信号(DQ)に対してストローブ・パルス(DQS)を併走させる同期式(ソース・シンクロナス)のパラレル・インターフェースを採用しています．そのため，その測定はDQSとDQの間のタイミング測定が中

注1：JEDECのWebサイトのURLは「http://www.jedec.org/」．
注2：初版は2004年1月にJESD79-2Aとして発行された．
注3：詳細は，Intel社のWebサイト(http://www.intel.com/technology/memory/ddr/specs/Intel_DDR2_667_800_Spec_Addendum_rev_1.1.pdf)を参照．

KeyWord
DDR2 SDRAM，JEDEC，SSTL，LVDS，CML，FB-DIMM，差動プローブ，P7360型，DPO70000シリーズ，ジッタ，プローブ・アダプタ，ODT，アイ・ダイヤグラム

column 1 高速化に伴う問題を解決するための回路技術の推移

メモリ・インターフェースを含むディジタル回路の高速化に伴い，「線をつなげば回路（ボード）は動く」という時代は遠い過去になりました．例えば，信号の反射がクロック線などでダブル・クロックを引き起こして，まちがったデータを取り込んでしまったりします．そのため，終端を考慮しなくてはならなくなりました．

ただし，回路技術をくふうすることで，こうした高速化に伴って生じるさまざまな問題を低減できるようになっています．速度に見合ったデバイスや回路技術を使う限り，問題の発生は少ないと言えます．

● 高速化に伴うノイズは小振幅化，差動伝送で対応

高速動作を目的として考案されたECL（emitter coupled logic）をはじめ，今日のCMOSで実現された高速ロジックのGTL（gunning transceiver logic），SSTL（stub series terminated transceiver logic），LVDS（low voltage differential signaling），CML（current mode logic）などは，終端を前提に回路が構成されています[注A-1]．

最近では高速化に加えて，信号振幅を抑えるようになっています．信号が高速に変化すると，瞬間的に流れる電流が大きくなります[注A-2]．その結果，基板パターンやリード・フレーム，ケーブルなど，回路内に存在するインダクタンス成分が影響し，グラウンド・バウンスやクロストークなどのノイズが増加します[注A-3]．そこで，まずTTL（transistor-transistor logic）やCMOSに対して出力信号レベルを下げたLV-TTL，およびLV-CMOSが登場しました．さらに電圧レベルは，3.3V，3.0Vから1.8V，1.5Vへと下がり，差動伝送も取り入れられました．差動伝送はコモン・モード・ノイズに対して耐性が高いばかりでなく，信号振幅を抑えても受信側で倍の信号振幅が得られることになり，シングルエンドと比較してより多くのノイズ・マージンを確保できるという特徴があります．

● クロック方式を変更

双方向バスでグローバル・クロック方式（コモン・クロック方式ともいう）[注A-4]を用いた場合，書き込みのタイミングに合わせると，逆に読み出しでメモリから転送されてきたデータをどのタイミングでコントローラが読み込むかが問題となります．

そこで66MHzを超えたあたりから，Pentium IIのFSB（front side bus；CPUとMCH[注A-5]の接続用バス）やAGP（accelerated graphics port）ではソース・シンクロナス・クロック方式が採用されました．これは，データの書き込みや読み出しの向きに合わせて，それぞれストローブ・パルスを併走させ，データをラッチする方式です．送信側から受信側へのデータとストローブを等長配線とし，クロックとデータの間のデバイス間のフライト・タイムと呼ばれる伝播遅延時間差を考えなくてもよいようになりました．

● DIMMどうしの接続はシリアル化へ

さらに高速化してくると，今度はパラレル伝送の信号間のスキューが問題となってきました．そこでスキューを考慮しなくても済むように，クロック・タイミングをデータの中に埋め込んで伝送し，受信側においたPLLでクロックを再生させるシリアル化の技術が取り入れられてきています．

こうした技術的な流れから見ると，DDR2 SDRAMはパラレル転送方式の限界技術とも言えます[注A-6]．とくにDIMMのようにバスに複数のデバイスを接続するマルチドロップの使用では，分岐配線に抵抗を入れることで多重反射を防ぐくふうを施していますが，高速化する信号に対する乱れは避けられません．そのため，DIMMを多数接続するサーバ分野では，メモリ・コントローラとDIMMの間，およびそれぞれのDIMMどうしのインターフェースをシリアル化し，DIMMとDIMMの間をリピータ形式で接続するFB-DIMM（fully buffered-DIMM）が規格化され，採用されようとしています．

注A-1：受信端の並列終端抵抗とプルアップ抵抗を兼ねた回路構成．
注A-2：回路がON/OFFするということは，回路内にある容量性負荷Cに対して電荷Qをチャージ（充電）/ディスチャージ（放電）することになる．これにより，$Q=CV$，$I=dQ/dt=C\times(dV/dt)$となり，容量性負荷と電圧変化に応じた電流が流れる．
注A-3：回路中にあるインダクタンス成分Lの両端に発生する電圧降下Vは，$V=L\times(dI/dt)$となり，電流変化に依存する．
注A-4：共通のクロックに同期してデータ転送を行う方式．
注A-5：Memory Control Hubの略．ノース・ブリッジと呼ばれるもの．
注A-6：米国Rambus社は，パラレル伝送方式でもGHz伝送に対応できる高速メモリ・インターフェース技術「XDR（Extreme Data Rate）」を開発した．DRAMに供給するリファレンス・クロックに対し，チャネルごとに信号タイミングを自動調整する機能（FlexPhase）を適用している．その結果，3.2GHz～8GHzの転送レートを実現した．

心になります．

DDR2 SDRAMは“double data rate”という名まえのとおり，DQSの立ち上がりと立ち下がりの双方のエッジを基準にデータが確定されます．

DDR2 SDRAMのバス・レートは400MT/s～800MT/s[注4]（データ周期は2.5ns～1.25ns）と高速化しています．時間的な余裕がますますなくなるため，ジッタ（信号のゆらぎ）がデータ転送に大きく影響を与えるようになります．DQSによる同期といっても，全体はクロックを基準に動作するので，クロックのジッタが厳密に測定・管理されなければ

注4：MT/sとはmega transfer per secondの略で，データ転送速度を表す．データ転送速度としてはMbps（mega bit per second）も使われるが，本稿ではMT/sで統一した．クロック・レートを示すHzという単位もある．SDR（single data rate）ではクロック・レートとデータ転送速度は一致していたが，DDR，およびFSB（front side bus）に使用されているQDR（quad data rate）動作ではクロック・レートとデータ転送速度は一致しない．そのため，MT/sやMbpsが使われる．

なりません．とくにクロックが333MHzでデータ転送速度が667MT/s以上のDDR2-667やDDR2-800では，クロックが266MHzでデータ転送速度が533MT/s以下のDDR2-533やDDR2-400と比べて，多くの測定項目が追加され，仕様が厳しくなっています．

このような信号については，オシロスコープに適切なプローブを組み合わせて測定を行います（下掲のコラム「DDR2 SDRAMの検証に必要な測定機器の性能」を参照）．また，ジッタ・タイミング解析ソフトウェアやクロック・ジッタ測定ソフトウェアを併用します．



写真1　差動プローブ
写真は米国Tektronix社の差動プローブ「P7360型（6GHz周波数帯域）」

プローブとしては差動プローブを使用します（**写真1**）．DDR2 SDRAMはクロック，DQSともに差動伝送となっています（DDR SDRAMはクロックのみ差動化されていた）．プローブ先端に差動バッファが内蔵された差動プローブ（アクティブ・タイプ）を用いますが，このタイプのものは広い周波数帯域幅を持ち，高入力抵抗と低容量を実現します．そのため，プローブの負荷効果（プローブを接続した際に，被測定回路に対してプローブそのものが回路の一部となり，信号に影響を与えること）を低減します．

column 2　DDR2 SDRAMの検証に必要な測定機器の性能

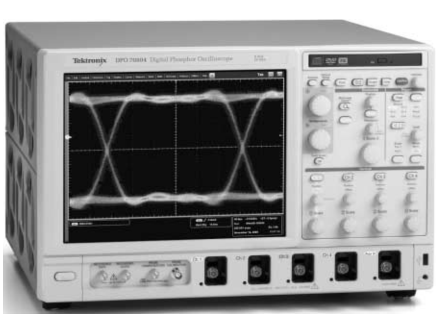
通常，オシロスコープで必要とされる周波数帯域の目安は，被測定信号の繰り返しレート（データ・レートやクロック・レート）の5倍とされます．これは，被測定信号を方形波とした場合，5次高調波までを観測しようという観点から与えられた数字です．そのため，DDR2-400では2GHz，DDR2-800では4GHzが周波数帯域の目安となります．

● 必要な周波数帯域の割り出しかた

ただし，立ち上がり時間に対する考察も必要です．立ち上がり時間が短いということは，それだけ広い高調波成分を持つからです．どの程度の高調波を持つかの目安の一つとして，立ち上がり時間t_rとの関係を示したニー（Knee）周波数（f_{knee}）があります．ニー周波数は$f_{knee} = 0.5/t_r$で求められます[1]．例えば，200psの立ち上がり時間を持つパルスであれば，2.5GHzまでの高調波成分を持つことになります．

DDR2 SDRAMでは，信号変化の速度は立ち上がり時間ではなく，スルーレートで規定されています．そのため，スルーレートから立ち上がり時間を推測する必要があります．DDR2 SDRAMの規格では，入力に対するスルーレートは1V/ns，出力に対するスルーレートは1.5V/ns～5V/nsです．信号振幅から推測すると，入力信号の立ち上がり時間は400ps，出力信号で84ps～250psと予想されます．その結果，入力で1.25GHz，出力で2GHz～6GHzの周波数帯域が必要となり，繰り返しレートとの目安と合わせると，4GHz～6GHzということになります．

なお筆者らも含めて，オシロスコープではオシロスコープ側の立ち上がり時間は被測定信号の立ち上がり時間の4倍程度高速である必要があると説明してきました．しかし，今日の広帯域オシロスコープは，周波数帯域内は平たんな周波数応答特性を持っているため信号のなまりが少なく，この理屈が当てはまらなくなっています．被測定信号の高調波成分がオシロスコープの周波数帯域内にある限り，高い立ち上がり時間確度，つまり被測定信号の立ち上がり時間の高い再現性（時間確度）を備えています．



写真B-1　DDR2 SDRAM測定に利用できるオシロスコープの例
4チャネル，4G～8GHz帯域，25Gサンプル/sの性能を持つTektronix社のディジタル・ストレージ・オシロスコープ「DPO70000シリーズ」

● サンプリング速度

最近のオシロスコープは入力信号をサンプリングし，ディジタル化して扱うディジタル・オシロスコープですが，どの程度高速な信号を捕捉できるのかは周波数帯域とサンプリング速度に依存します．

取り込まれたデータは離散値になりますが，補間技術を併用し，A-Dコンバータのサンプリング速度が持つ時間分解能以上に分解能を高め，測定誤差を抑えています．その結果，（補間技術にも依存するが）筆者ら（Tektronix社）のオシロスコープの場合，立ち上がり部分を1.4～4点捕捉できる（つまり立ち上がり時間に対して1.4～4倍高速な）サンプリング速度が目安になります．

DDR2 SDRAMでは上記のように規格上，もっとも高速なスルーレートは5V/ns（立ち上がり時間は84ps）であるため，理論上21psというサンプリング速度が必要になります．複数のチャネルに対して同時に高速なサンプリングが必要になるという観点から，現在市販されているオシロスコープでは25ps～50ps，すなわち20Gサンプル/s～40Gサンプル/sのサンプリング速度が必要になります（**写真B-1**）．

● 667MT/s以上ではジッタの測定が12項目に

次に，DDR2 SDRAMで必要とされるタイミング測定の項目を挙げておきます[注5]．

1）タイミング仕様の確認

アドレスやコマンドのセットアップ/ホールド時間に加え，DDR2 SDRAMの書き込みサイクルでは，コントローラ側でDQの中央にDQSが位置するように（つまりDQとDQSの位相差を90°に）調整して，それらの信号をメモリへ転送します（**図1**）．一方，読み出しサイクルではDQとDQSの位相が一致するようにメモリから転送され，コントローラ内部でDQSを90°遅延させます（**図2**）．そのため，書き込みサイクルではDQのDQSに対するセットアップ/ホールド時間が評価の対象になり，読み出しサイクルではスキューが評価の対象になります（**表1**）．

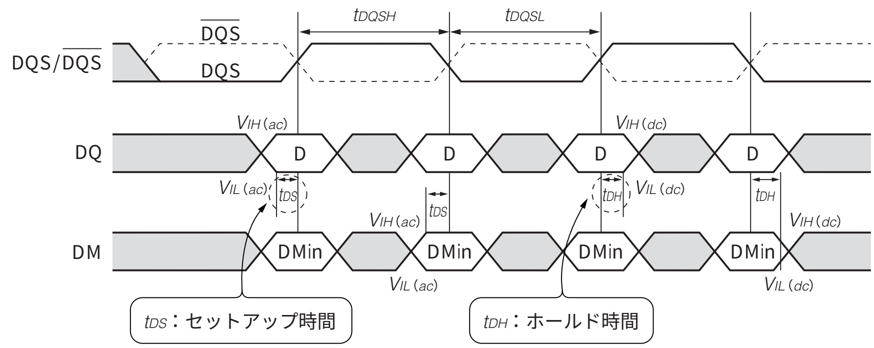


図1 DDR2 SDRAMの書き込みサイクル(2)
書き込みサイクルではDQのDQSに対するセットアップ/ホールド時間が評価の対象になる

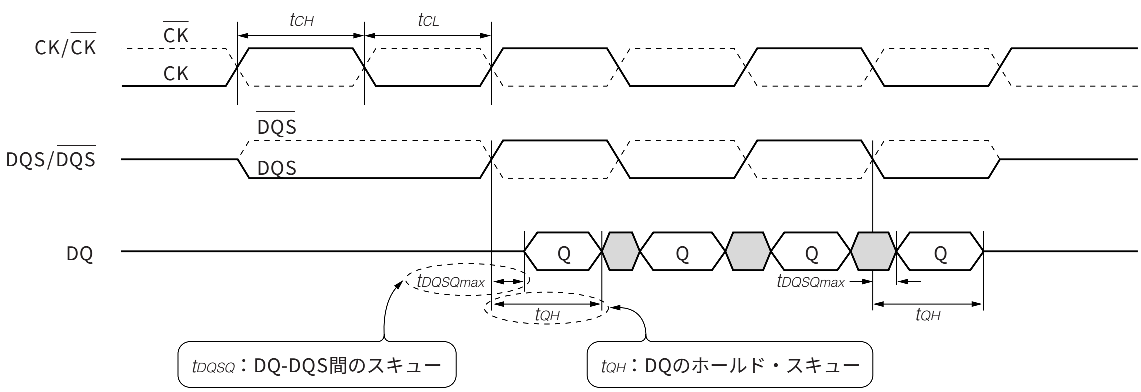


図2 DDR2 SDRAMの読み出しサイクル(2)
読み出しサイクルではDQとDQSの間のスキューが評価の対象になる

表1 おもなタイミング仕様（単位はすべてps）(2),(3)

パラメータ	DDR2-400		DDR2-533		DDR2-667		DDR2-800	
	最小値	最大値	最小値	最大値	最小値	最大値	最小値	最大値
DQ，DM入力ホールド時間（t_{DH}）	275	—	225	—	300	—	250	—
DQ，DM入力セットアップ時間（t_{DS}）	150	—	100	—	300	—	250	—
DQS-DQ間のスキュー（t_{DQSQ}）	—	350	—	300	—	240	—	200
DQのホールド・スキュー・ファクタ（t_{QHS}）	—	450	—	400	—	340		300
アドレス，コントロール入力ホールド時間（t_{IH}）	475	—	—	375	400	—	375	—
アドレス，コントロール入力セットアップ時間（t_{IS}）	350	—	—	250	400	—	375	—

注5：本稿では，オシロスコープを使って，おもに電気的特性などを検証する測定について言及する．なお，メモリ・コントローラの機能・論理設計やシステム検証，デバッグには，ロジック・アナライザを用いると効果的である．ロジック・アナライザによる測定には，DDR2 SDRAMインターフェースへプロービングする方法や，FPGA内部から信号を取り出す方法がある．また，米国Xilinx社のChipScopeや米国Altera社のSignalTap IIなど，ベンダが供給するFPGA内部に埋め込むロジック・アナライザ回路を使用する場合もある．

表2　クロックやジッタなどについての評価項目
詳細は，(a)については参考文献(2)を，(b)については参考文献(3)参照のこと

パラメータ	記　号	DDR2-400		DDR2-533		単　位
		最小値	最大値	最小値	最大値	
クロック周期	t_{CK}	5000	8000	3750	8000	ps
クロックH期間パルス幅	t_{CH}	0.45	0.55	0.45	0.55	t_{CK}
クロックL期間パルス幅	t_{CL}	0.45	0.55	0.45	0.55	t_{CK}
半周期ジッタ	t_{HP}	min(t_{CL}, t_{CH})	―	min(t_{CL}, t_{CH})	―	ps

(**a**) DDR2-400/533(2)

● t_{CH}，t_{CL}：
クロックのHレベルまたはLレベルのデューティ比

パラメータ	記　号	DDR2-667		DDR2-800		単　位
		最小値	最大値	最小値	最大値	
平均クロック周期	$t_{CK(avg)}$	3000	8000	2500	8000	ps
クロック周期ジッタ	$t_{JIT(per)}$	−125	125	−100	100	ps
サイクル・ツー・サイクル周期ジッタ	$t_{JIT(cc)}$	−100	100	−80	80	ps
2サイクルに対する累積エラー	$t_{ERR(2per)}$	−175	175	−150	150	ps
3サイクルに対する累積エラー	$t_{ERR(3per)}$	−225	225	−175	175	ps
4サイクルに対する累積エラー	$t_{ERR(4per)}$	−250	250	−200	200	ps
5サイクルに対する累積エラー	$t_{ERR(5per)}$	−250	250	−200	200	ps
6～10サイクルに対する累積エラー	$t_{ERR(6\text{-}10)}$	−600	600	−300	300	ps
11～50サイクルに対する累積エラー	$t_{ERR(11\text{-}50)}$	−600	600	−450	450	ps
平均クロックH期間パルス幅	$t_{CH(avg)}$	0.48	0.52	0.48	0.52	$t_{CK(avg)}$
平均クロックL期間パルス幅	$t_{CL(avg)}$	0.48	0.52	0.48	0.52	$t_{CK(avg)}$
半周期ジッタ	$t_{JIT(duty)}$	−125	125	−100	100	ps

(**b**) DDR2-667/800(3)

● $t_{JIT(per)}$：
任意の200サイクルにおけるt_{CK}(クロック周期)の$t_{CK(avg)}$からの最大偏差
● $t_{JIT(cc)}$：
隣接クロック・サイクル間の周期の差分
● t_{ERR}：
連続したNサイクル期間の$N \times t_{CK(avg)}$に対する最大偏差(±方向)
● $t_{CH(avg)}$/$t_{CL(avg)}$：
任意の200サイクルにおけるクロックのHレベルまたはLレベルの期間における平均デューティ比
● $t_{JIT(duty)}$：
$t_{JIT(CH)}$(t_{CH}のジッタ)と$t_{JIT(CL)}$(t_{CL}のジッタ)の累積

2）クロック・デューティ比，ジッタの確認

上述したように，クロックに絡む測定はDDR2-533以下とDDR2-667以上で大きく変わっています．**表2**に示すように，DDR2-667以上については多くの測定項目が規定されています．

3）そのほかの確認事項

SDRAMへの入力スルーレートやオーバシュート/アンダーシュートなどの評価項目も規定されています．これらを測定する場合，ジッタやセットアップ/ホールド時間を含めた手軽な評価方法として，波形の遷移を重ね合わせて表示するアイ・ダイヤグラムが使用されることもあります．

2．測定トラブル・シューティング

ここでは，DDR2 SDRAMの測定についての問題点とその解決策をまとめます．なお，ほとんどの項目はDDR2 SDRAMに限らず，高速な信号を測定する際に共通する事がらです．

column 3　観測点が重要なわけ

基本的に「信号の速さ」というものは，信号の立ち上がり時間と伝播遅延時間の相対的な関係注C-1と言っても過言ではないでしょう．

後者は物理的な配線長で決定します．いくら信号の立ち上がり時間が遅くても，相対的に伝送路が長く，伝送路のインピーダンス整合をとらなければ，反射の影響が現れます．デバイスの製造プロセスの微細化に伴う信号の立ち上がり時間の高速化と比較して，(LSI外部の)物理的な配線長はそれほど小型化が進んでいません．そのため相対的に信号の高速化の影響が顕著になってきています．言い換えれば，送信端や伝送線路，受信端の信号変化がどこまで同時に変化するかということが，信号の波形品質に影響します．送信端で信号が立ち上がるのとほぼ同時に受信端で信号が立ち上がるような場合，反射信号は信号の中に埋没しますが，信号変化の同時性が失われてくると，反射の影響が出てくるとみなすことができます．

測定の場合も同じです．信号が低速な立ち上がり時間の測定ではあまり注意する必要がなかった測定箇所も，高速伝送では受信端直近で観測する必要性があることがわかります．

注C-1：一般的には，「往復信号伝送路電気長≧信号立ち上がり時間」が目安と言われている．

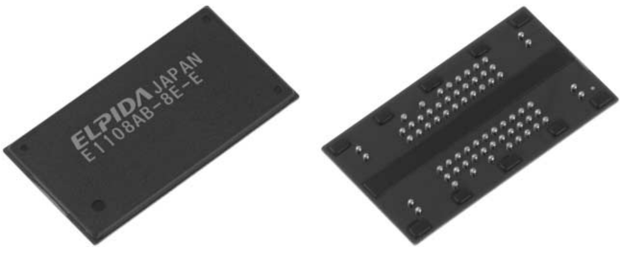


写真2　DDR2 SDRAMのパッケージ例（写真提供：エルピーダメモリ）
DDR2 SDRAMのパッケージはFBGA．信号端子がデバイスの真下に位置するため，不ぐあいが発生してもプローブなどを直接信号に当てられない

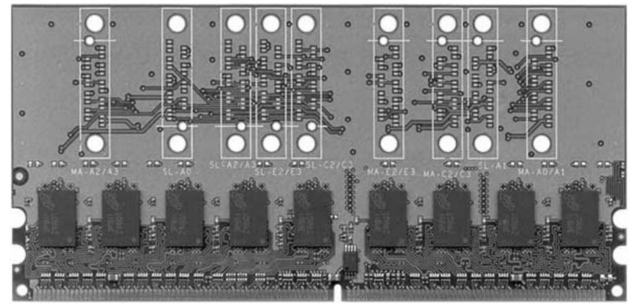


写真3　DDR2 SDRAM DIMMのプローブ・アダプタの例
写真は，Tektronix社のロジック・アナライザ向けのプローブ・アダプタ「NEXVu」（米国Nexus Technology社製）．本来はロジック・アナライザ用だが，信号観測用にも流用できる．DRAM端の信号を観測できるように，メモリ・コントローラから見てプローブ接続点をDRAMの先に配置している．DRAMからロジック・アナライザ用プローブの接続端子までの配線に直列抵抗を入れて，スタブとなることを防いでいる

● 信号はすべて受信端で測定する

DDR2 SDRAMは双方向バスであり，かつ高速な信号を扱うため，読み出しサイクルの測定はメモリ・コントローラの直近で，書き込みサイクルの測定はメモリ・デバイスの直近で測定する必要があります．

信号の立ち上がり時間が短いのに加えて，立ち上がり時間と比較して信号伝送線路長が長くなります．かりにデバイスから測定点までの距離が長いと，伝播遅延により反射の影響が顕著となり，正しい評価が行えません（左掲のコラム「観測点が重要なわけ」を参照）．そのため，伝送路途中のコネクタやビアなどに対してプローブを接続した場合（とくにバス上に複数のSDRAMやDIMMが接続されたマルチドロップの場合），反射波の影響を受け，信号の実体を確認できません．そのポイントの波形をシミュレーションで求めておき，実波形と比較する方法もありますが，この場合は正確なシミュレーション・モデルが得られるかどうかが問題となります．

● FBGAパッケージ向けにあらかじめ測定点を用意する

DDR2 SDRAMのパッケージは，JEDECの規定でFBGA（fine pitch ball grid array）を使用しています（**写真2**）．DDR SDRAMで使用していたTSOP（thin small out-line package）と比べて，FBGAは寄生容量や寄生インダクタンスなどが低いため，信号特性が良好で高い性能が得られ，実装面積も小さくなります．その一方で，信号端子がデバイスの真下に位置するため，基板上に実装した際にプローブなどを直接信号に当てることができません．試作基板を作成してしまってから「動かない！」と泣きつかれたこともありますが，これればかりはどうしようもありません．

そこで，設計段階から基板の裏側にプローブを接続するための貫通ビアを設けておくことを推奨します．プローブを信号に当てられるように，デバイスの周辺にパターンを引く方法もありますが，そのパターンが信号反射を引き起こして信号品質を劣化させるスタブ（分岐配線）になる点に注意する必要があります．

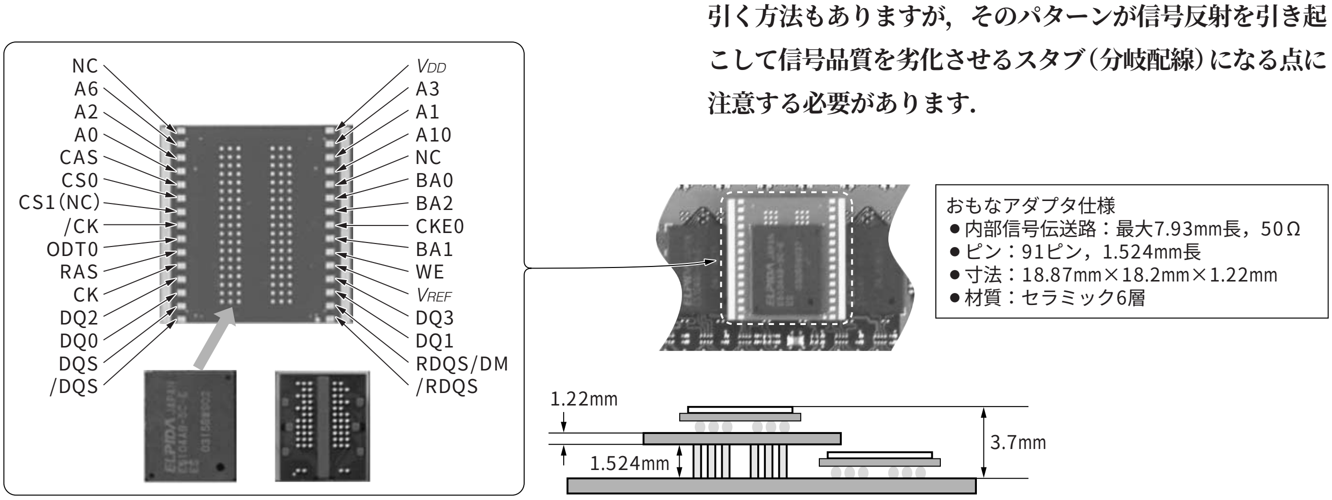


図3　FBGA用プローブ・アダプタとDRAM実装例（写真提供：エルピーダメモリ）
エルピーダメモリが同社の顧客サポート用として提供しているプローブ・アダプタ．DRAMと基板の間に挿入する．DRAMはアダプタ上に実装する．ほかのDRAMが隣接して実装されていても取り付けられるように，げたをはくかっこうになっている

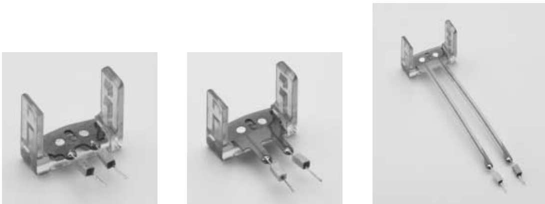


写真4　はんだ付けタイプの脱着式プローブ・アクセサリ

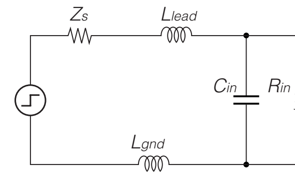


図4
***LC*回路**
プローブ・アクセサリの導体部分のインダクタンス成分（*L*）とプローブの持つ入力容量成分（C_{in}）によって*LC*回路が形成される

表3　DDR2 SDRAMコマンド・テーブル
詳細は，DDR2 SDRAM Specification（参考文献（2））を参照のこと

操　作	CS#	RAS#	CAS#	WE#
デバイス非選択	H	X	X	X
NOP（操作なし）	L	H	H	H
列アドレス選択と読み出し	L	H	L	H
読み出しとオート・プリチャージ	L	H	L	H
列アドレス選択と書き込み	L	H	L	L
書き込みとオート・プリチャージ	L	H	L	L
行アドレスのアクティブとバンクの選択	L	L	H	H
選択バンクのプリチャージ	L	L	H	L
全バンクのプリチャージ	L	L	H	L
リフレッシュ	L	L	L	H
モード・レジスタ設定	L	L	L	L

読み出し
書き込み



写真5　プローブ・アームの例
写真はTektronix社のプローブ・アーム「PPM203B型」．手ぶれの影響をなくし，安定した測定結果が得られる

また，DIMM（dual in-line memory module）やSO-DIMM（small out-line-DIMM）の場合は，計測器メーカから提供されるロジック・アナライザ用の治具を利用する方法もあります（**写真3**）．なお，自社の顧客サポートの一環としてDRAMと基板の間に入れるプローブ・アダプタを提供しているDRAMベンダもあります（**図3**）．

こうした手法で必要な信号のすべてを測定できることが理想的です．しかし，現実には貫通ビアを配置する場所や上記アダプタでアクセスできる信号，測定の手間などを考えると，DQSと一部のDQ（例えば，信号の伝播速度に差がある内層と外層の信号）など，主要な信号やクリティカルな信号のみを測定することになるでしょう．

●プローブ・アクセサリが観測信号に与える影響を考慮

プローブ・アクセサリの信号導体部分はインダクタンス成分（*L*）を持ちます．このインダクタンス成分とプローブの持つ入力容量成分（*C*）から*LC*回路が形成され，その共振周波数 $f = 1/\left(2\pi\sqrt{LC}\right)$ によって信号の立ち上がり部分にリンギングが発生します（**図4**）．

またプローブ・アクセサリの信号導体長は，被測定回路から見てスタブにもなります．そのため，できる限り最短の信号導体で回路に当たるようにします．最近の広帯域プローブは，脱着可能なプローブ先端部を回路内に直接はんだ付けするようになっています（**写真4**）．信号はダンピング抵抗を介してプローブに伝送されます．ダンピング抵抗は上記の共振や高周波における容量性負荷によるプローブ・インピーダンスの低下，およびスタブを抑制します．

はんだ付けしないでプローブ先端を回路内に接触させて信号を収集する場合，手ぶれの影響をなくし，安定した測定結果を得るために，プローブ・アームでプローブを固定します（**写真5**）．

●書き込みと読み出しで信号を識別する必要がある

DDR2 SDRAMでは，書き込みサイクルと読み出しサイクルは，CS#，RAS#，CAS#，およびWE#のパターン・マッチング（論理積）によるコマンド・ベースで決定されます（**表3**）．

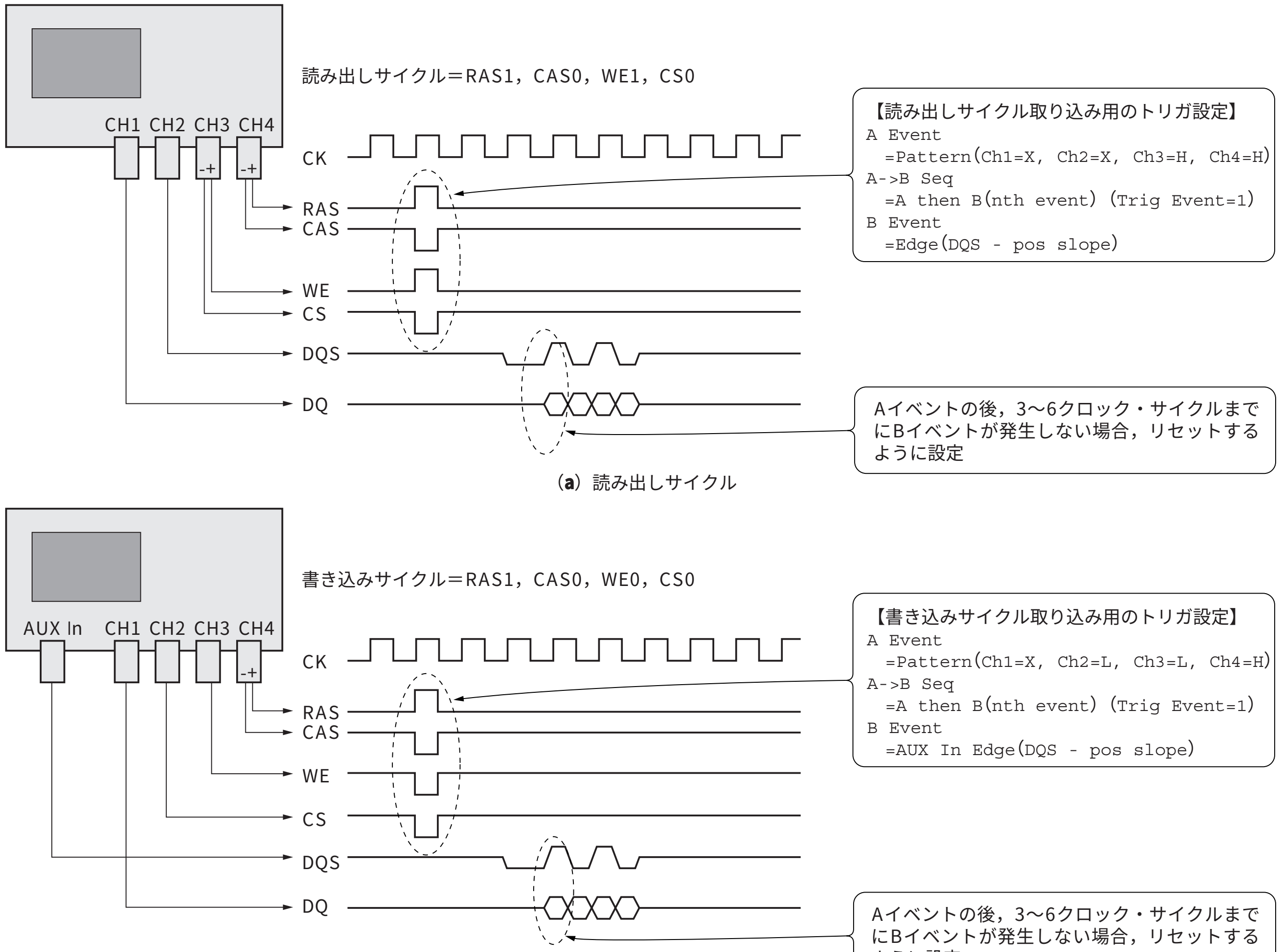


図5　トリガ方法

DDR2 SDRAMインターフェースは双方向バスであるため，書き込みと読み出しを識別する必要があります．この点がDDR2 SDRAMの測定でとくに重要なポイントとなります．実際には，次の**1)**～**4)**の中から最適な方法を選択します．

1) メモリ・コントローラから書き込みサイクル，あるいは読み出しサイクルだけを発行させる

もしこの方法が不可能な場合は，以下の方法をとります．

2) メモリ・コントローラ部にCS#，RAS#，CAS#，WE#によるトリガ・ジェネレータを組み込み，空きピンからトリガ信号を出力する

外部に接続したFPGA(またはPLD)などでこの機能を実現します．

現在のオシロスコープは，論理和や論理積をとって複数のチャネルの組み合わせを検出するパターン・トリガや，クロックに同期してパターンを検出するステート・トリガなど，さまざまな論理回路向けのトリガ機能を提供しています．クロック・ベースで動作するDDR2 SDRAMではステート・トリガを使用しますが，トリガ条件に必要なCS#，RAS#，CAS#，WE#に加え，DQS，DQの最低6入力チャネルが必要となります(**図5**)．多入力チャネルを備え，そのパターン・マッチングを検出できるロジック・アナライザであれば問題ありませんが，一般的なオシロスコープは4チャネル入力のものが多く，入力チャネル数が足りません．

そこでトリガ・ジェネレータを組み込めない場合は，下記のような方法をとることもあります．

3) DQSのプリアンブルのパルス幅を識別する

DQSの前端にプリアンブル，後端にポストアンブルと呼ばれる一定のパルス幅(期間)を設けるようになっています．

プリアンブルのパルス幅は書き込みサイクルと読み出しサイクルで異なり，前者は0.35t_{CK}，後者は0.9～1.1t_{CK}です．ポストアンブルはどちらも0.4～0.6t_{CK}です．この期間をパルス幅トリガで検出する方法があります(**図6**)．ただし，信号の状態によっては安定した識別が行えない可能性もあります．

1)～**3)**のいずれの方法も利用できない場合には，

4) ジッタ解析およびタイミング解析ソフトウェアを用いてカーソルによるゲーティング測定で対応する

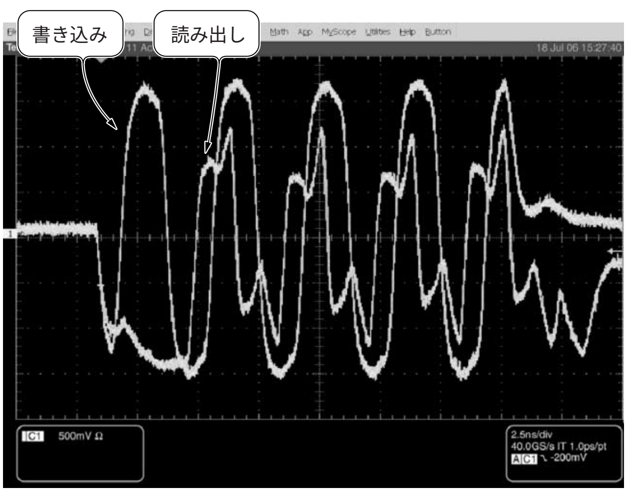
という方法もあります．

● 測定内容によって変わる測定基準電圧レベル

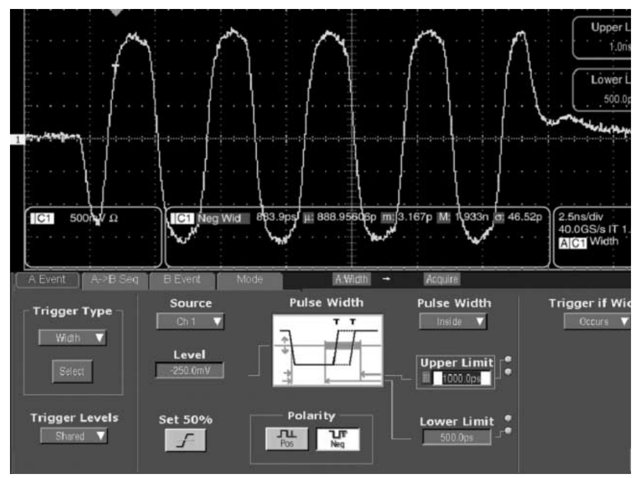
例えば，DQとDQSの間のセットアップ時間とホールド時間を測定する場合，測定対象となるエッジが立ち上がりか立ち下がりか，セットアップ時間かホールド時間かで，**図7**のように測定基準電圧レベルが変わるため，かなりめんどうです．

ただし，こうした測定でも測定基準電圧レベルを立ち上がりと立ち下がりで別々に設定し，かつ同時に複数の測定を行えるジッタ・タイミング解析ソフトウェアを用いれば，一度に測定することができます．

最近では，高速化に伴ってジッタの影響などが大きくな



(**a**) DRAM側で取り込んだDQS信号



(**b**) パルス幅トリガで取り込んだDQS信号

図6　パルス幅トリガによる検出

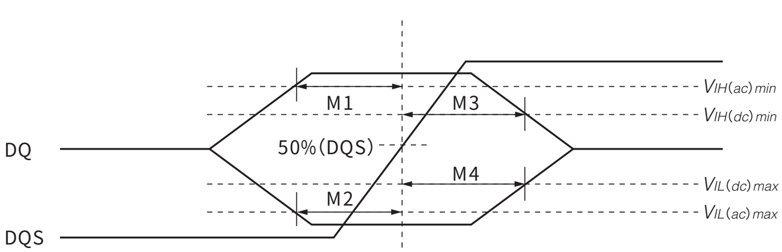
(a)はDRAM側で取り込んだDQS信号．エッジ・トリガで取り込んでいるので，コントローラ側からの書き込みサイクルとDRAM側の読み出しサイクルが重なっている．(b)はパルス幅トリガで取り込んだDQS信号．書き込みサイクルだけを取り込めている

記　号	パラメータ	最　小	最　大	単　位
$V_{IH(dc)}$	DC入力論理H	$V_{REF}+0.125$	$V_{DDQ}+0.3$	V
$V_{IL(dc)}$	DC入力論理L	－0.3	$V_{REF}-0.125$	V

(**a**) 入力DC論理レベル

記　号	パラメータ	DDR2-400/533		DDR2-667/800		単　位
		最　小	最　大	最　小	最　大	
$V_{IH(ac)}$	AC入力論理H	$V_{REF}+0.25$	－	$V_{REF}+0.2$	－	V
$V_{IL(ac)}$	AC入力論理L	－	$V_{REF}-0.25$	－	$V_{REF}-0.2$	V

(**b**) 入力AC論理レベル



セットアップ時間(M1)：
　DQの立ち上がりエッジ($V_{IH(ac)min}$) →DQS(50%)
セットアップ時間(M2)：
　DQの立ち下がりエッジ($V_{IL(ac)max}$) →DQS(50%)
ホールド時間(M3)：
　DQS(50%)→DQの立ち下がりエッジ($V_{IH(dc)min}$)
ホールド時間(M4) ：
　DQS(50%)→DQの立ち上がりDQ($V_{IL(dc)max}$)

(**c**) 基準電圧レベル

図7　セットアップ/ホールド時間測定の基準電圧レベル

DQとDQSの間のセットアップ時間とホールド時間を測定する場合，測定対象となるエッジが立ち上がりか立ち下がりか，セットアップ時間かホールド時間かで，測定基準電圧レベルが変わる．詳細は，DDR2 SDRAM Specification(参考文献(2))を参照のこと

ったことを受けて，従来のようにオシロスコープの画面に波形を表示して，カーソルや自動測定機能で測定を行うことが困難になってきています．そこでジッタ・タイミング解析ソフトウェアを用いて，単発で信号を取り込みながら数サイクルにわたって連続測定を行い，最大値や最小値，平均値などの統計的な解析を行う必要があります．

高速になればなるほどクロック・デューティ比やクロック・ジッタはクリティカルになります．前述したように，DDR2-667やDDR2-800では測定についての項目が増え，測定方法も細かく規定されています．これらは手動では測定できません．そのため，計測器メーカが提供している専用のクロック・ジッタ解析ソフトウェアを使用することになります．

3．実際の測定

実際に基板にじか付けされたDDR2 SDRAM（DDR2-533）を測定しました．プローブの基板との接続にあたっては，はんだ付け用アクセサリを使用し，基板裏面のビア（CK，DQ，DQSの信号）にはんだ付けしました．プローブには，3本の同一特性（同一仕様）の差動プローブを使用しています（**写真6**，**図8**）．

今回はメモリ・コントローラとしてFPGAを使用した基板を使ったため，連続的に書き込みサイクルおよび読み出しサイクルを発生させることができました．そのため，単純に信号（DQS）そのものをトリガとしました．なお，誌面

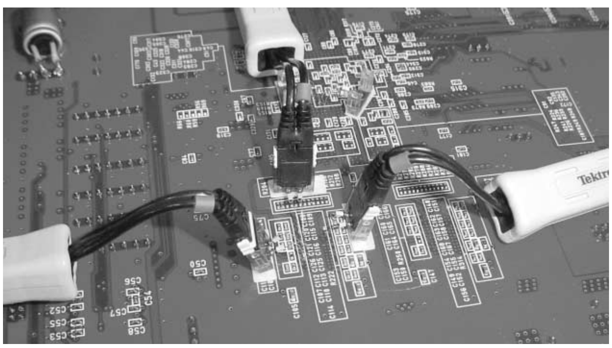


写真6　評価基板へのプローブ接続
CKをチャネル1（Ch1）に，DQ（DQ9）をチャネル2（Ch2）に，DQS（UDQS）をチャネル3（Ch3）に接続した

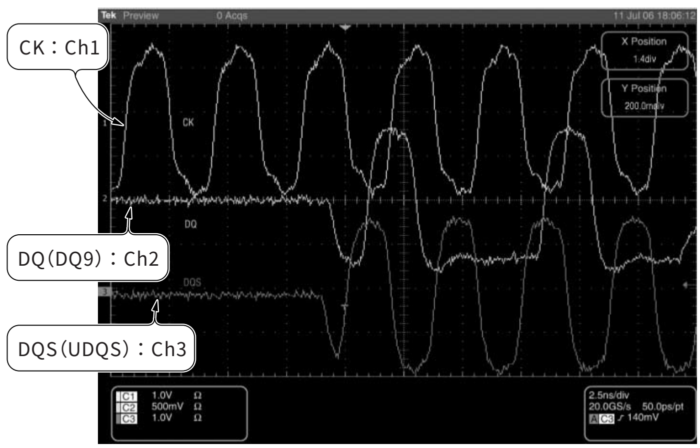


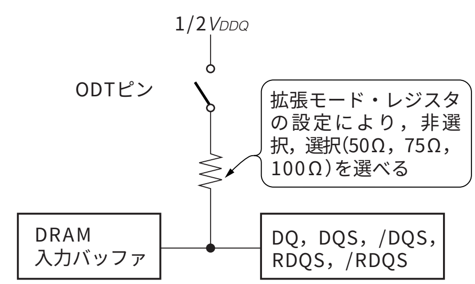
図8　今回測定した信号の概要

column 4　ODTに注意

ODT（On Die Termination）はDDR2 SDRAMに新しく追加された機能です．DRAM内部に終端抵抗を持つことにより，信号の反射を低減します（**図D-1**）．外部で終端する場合，終端抵抗までの配線によって信号が乱れることを防ぎます．DRAMごとに内部抵抗のON/OFFおよび抵抗値を設定できます．終端抵抗の値は，拡張モード・レジスタ（EMRS：Extended Mode Register Set）とODT信号の入力によって選択します．抵抗値は，50Ω，75Ω，150Ωを選択できます（非選択というモードもある）．加えて外部抵抗を使用しないので，部品点数やレイアウト・スペースを削減できます．

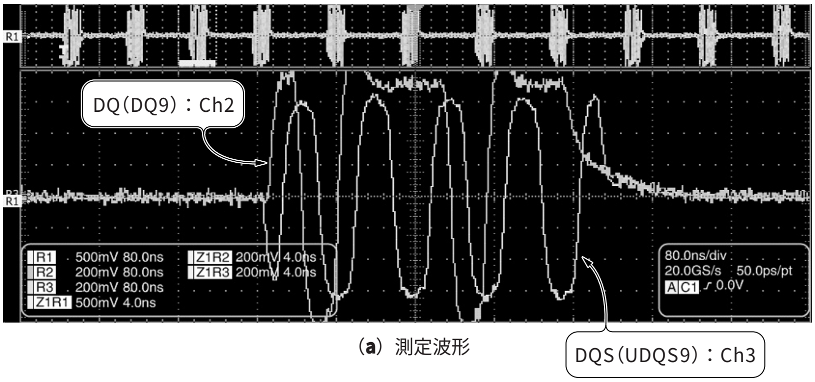
しかし，外部抵抗に配線するわけではないため，逆の意味で外部から確認できません．そのため，設定をまちがえると正しく終端されないことになるので注意が必要です．

これはFPGAの場合も同じです．米国Xilinx社のデバイスを使用するときはDCI（Digitally Controlled Impedance）を，米国Altera社のデバイスではOCT（On-chip Termination）を正しく設定する必要があります．



図D-1　ODTの構造[4]

3



（**a**）測定波形

Statistics	Current Acq	All Acqs
Population	41	41
Mean	779.38ps	779.38ps
Std Dev	67.911ps	67.911ps
Max	877.90ps	877.90ps
Min	520.32ps	520.32ps
Pk-Pk	357.57ps	357.57ps
Max + Δ	310.47ps	310.47ps
Max - Δ	-284.39ps	-284.39ps

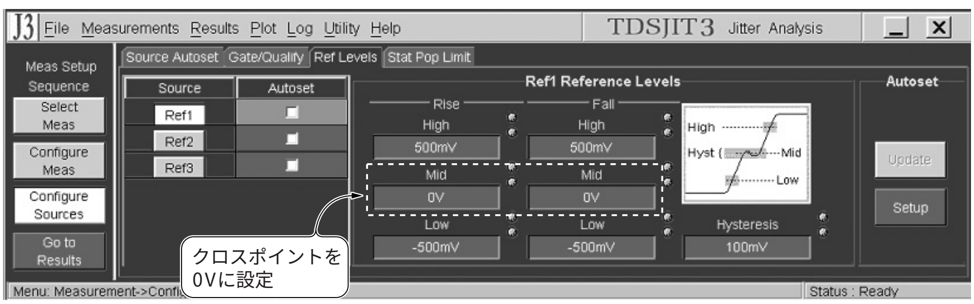
（**b**）セットアップ時間

Statistics	Current Acq	All Acqs
Population	39	39
Mean	943.99ps	943.99ps
Std Dev	42.508ps	42.508ps
Max	1.0139ns	1.0139ns
Min	861.75ps	861.75ps
Pk-Pk	152.11ps	152.11ps
Max + Δ	114.07ps	114.07ps
Max - Δ	-134.65ps	-134.65ps

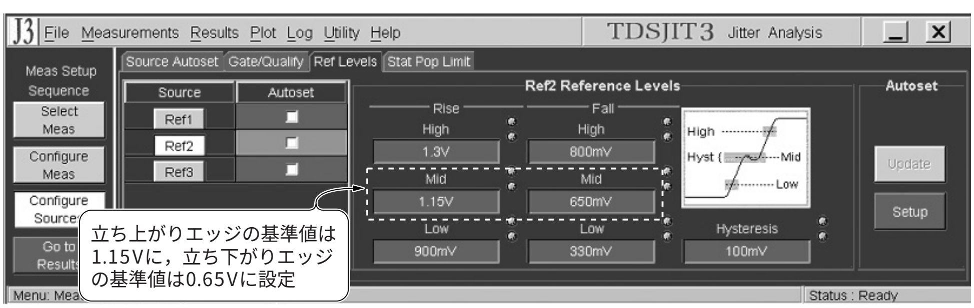
（**c**）ホールド時間

図9　DQとDQSの間のセットアップ/ホールド時間

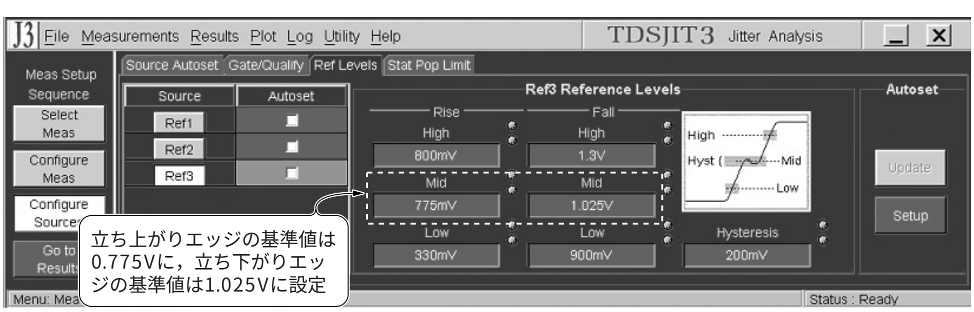
セットアップ時間，ホールド時間ともに十分余裕があることがわかる



（**a**）DQSの設定点



（**b**）セットアップ時間測定用のDQの設定（Ref2）



（**c**）ホールド時間測定用のDQの設定（Ref3）

図10　測定基準の設定

（a）では，DQSと/DQS（差動ペア）のクロスポイントを0Vに設定している．（b）では，$V_{IH(ac)}$と$V_{IL(ac)}$の立ち上がりエッジ（Rise）の基準値（Mid）としてV_{REF}（0.9V）＋0.25V＝1.15Vを設定した．また，立ち下がりエッジ（Fall）の基準値としてV_{REF}（0.9V）－0.25V＝0.65Vを設定した．（c）では，立ち上がりエッジ（Rise）の基準値としてV_{REF}（0.9V）－0.125V＝0.775Vを，立ち下がりエッジ（Fall）の基準値としてV_{REF}（0.9V）＋0.125V＝1.052Vを設定した

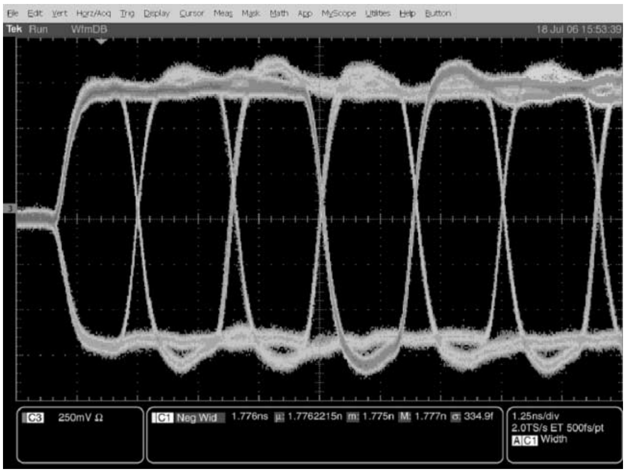


図11　DQ信号のアイ・ダイヤグラム

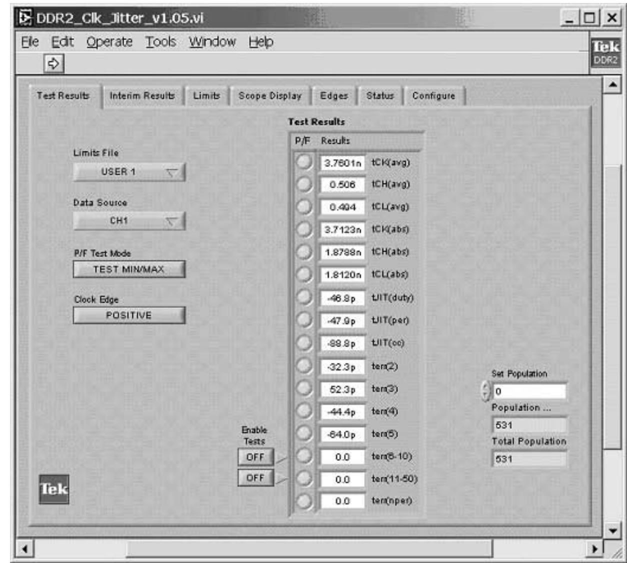


図12　クロックの測定
DDR2 SDRAM専用のジッタ解析ソフトウェアを用いることで，DDR2-533に対しても前述のDDR2-667/800の仕様で定義されている項目を一度に測定，確認できる

のつごう上，ここでは書き込みサイクルとクロックについての測定のみを紹介します．

まず，書き込みサイクルについてですが，ここでは筆者らのジッタ・タイミング解析ソフトウェア（TDSJIT3v2）を使って測定したDQとDQSの間のセットアップ時間とホールド時間を**図9**に示します．セットアップ時間については40ヵ所，ホールド時間については39ヵ所にわたって一度に測定し，それぞれの測定結果の平均値，標準偏差，最大値，最小値などの統計結果を表示しています．

図10に測定基準の設定を示します．なお，ここでは同じ信号に対して異なった測定基準レベルを設定するため，いったんDQSを波形メモリのRef1，DQをRef2とRef3に書き込み，Ref2に対してRef1とのセットアップ時間，Ref3に対して同じくRef1とのホールド時間を測定しました（**図11**）．

次にクロックの測定です（**図12**）．今回の測定基板で使用しているDRAMはDDR2-533であるため，クロックの確認は書き込みサイクルの測定で利用したジッタ・タイミング解析ソフトウェアでもよいのですが，ここではDDR2 SDRAM専用のジッタ解析ソフトウェア（DDR2_Clk_Jitter）を用いました．$t_{CK(avg)}$，$t_{CH(avg)}$，$t_{CL(avg)}$にDDR2-533に対する規格値を設定しました．

参考・引用*文献

(1) Howard Johnson, Martin Graham ;High-Speed Digital Design, A Handbook of Black Magic, p.2, Prentice Hall, 1993.
(2)* JEDEC ; DDR2 SDRAM Specification, JESD79-2B, Jan. 2005.
(3)* Intel ; DDR2 667/800 JEDEC SPECIFICATION ADDENDUM, Rev. 1.1, Jan. 6, 2006.
(4) エルピーダメモリ ; DDR2-DRAMの使い方，ユーザーズマニュアル，J0437E20（Ver.2.0），Dec. 2004.

はたけやま・ひとし
日本テクトロニクス（株）

<筆者プロフィール>
畑山仁．日本テクトロニクスにて営業技術統括部SA部のマネジャー/シニア・アプリケーション・エンジニアに従事．高速ディジタル，高速シリアル・インタフェース分野を担当．

3